

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-061340

(43)Date of publication of application : 26.02.2004

(51)Int.Cl.

G01R 31/28
H01L 21/822
H01L 27/04

(21)Application number : 2002-221013

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 30.07.2002

(72)Inventor : SUZUKI YUJI

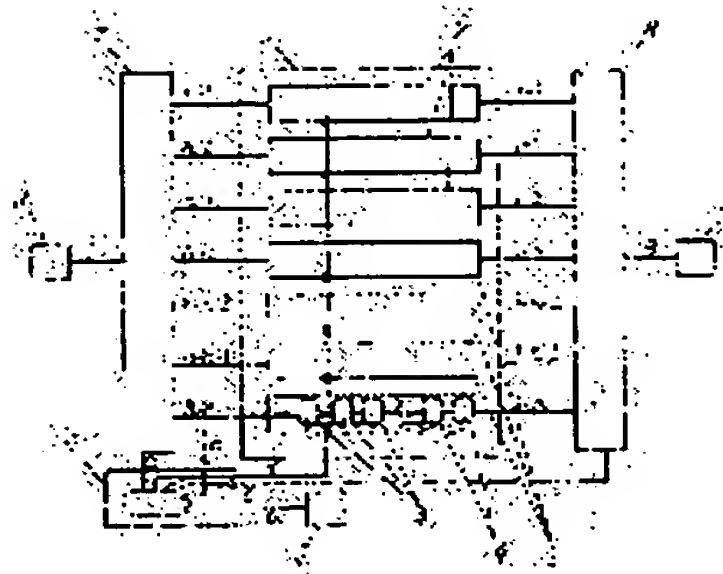
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that an inspection time required for scan test increases when a circuit scale of an LSI is increased.

SOLUTION: The number of scan chains is increased by n-times the number of input/output terminals by employing terminals of a high speed operation capacity as the input/output terminals for scanning, serial-inputting input information to a plurality of the scan chains from one input terminal, dividing and outputting the information for each of the chains in a circuit of the LSI and executing parallel-serial conversion of outputs of the chains and outputting a result of the conversion to one output terminal.

図1は、本発明の一実施形態に係る半導体装置のブロック図を示す。図1に示すように、本装置は、複数の入力端子（101）と複数の出力端子（102）を有する。各入力端子（101）は、複数のスキャンチェーン（103）に接続されている。各スキャンチェーン（103）は、複数の論理要素（104）を含む。各出力端子（102）は、複数のスキャンチェーン（103）に接続されている。本装置は、複数のスキャンチェーン（103）を有し、各スキャンチェーン（103）は、複数の論理要素（104）を含む。本装置は、複数のスキャンチェーン（103）を有し、各スキャンチェーン（103）は、複数の論理要素（104）を含む。本装置は、複数のスキャンチェーン（103）を有し、各スキャンチェーン（103）は、複数の論理要素（104）を含む。



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-61340
(P2004-61340A)

(43) 公開日 平成16年2月26日(2004. 2. 26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO 1 R 31/28	GO 1 R 31/28	2 G 1 3 2
HO 1 L 21/822	HO 1 L 27/04	5 F 0 3 8
HO 1 L 27/04	HO 1 L 27/04	E

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 (22) 出願日	特願2002-221013 (P2002-221013) 平成14年7月30日 (2002. 7. 30)	(71) 出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地 (74) 代理人 100097445 弁理士 岩橋 文雄 (74) 代理人 100103355 弁理士 坂口 智康 (74) 代理人 100109667 弁理士 内藤 浩樹 (72) 発明者 鈴木 祐史 大阪府門真市大字門真1006番地 松下 電器産業株式会社内 Fターム(参考) 2G132 AC14 AK00 AK07 AK14 AK22 AK23 AL09 5F038 BE02 DF01 DT04 DT05 DT06 EZ20
-----------------------	--	---

(54) 【発明の名称】 半導体装置

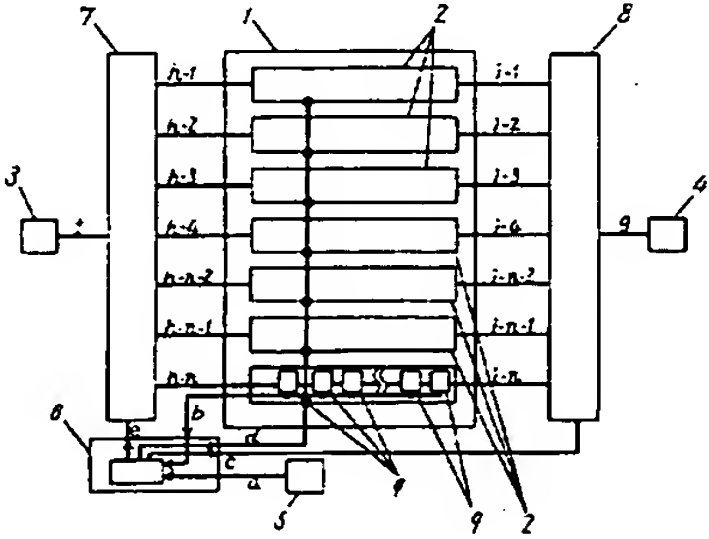
(57) 【要約】

【課題】 L S I の回路規模が増大すると、スキャンテストにかかる検査時間が増大する。

【解決手段】 スキャン用入出力端子に高速動作可能な端子を用い、1本の入力端子から複数のスキャンチェーンへ入力情報をシリアル入力し、L S I 内部の回路で各スキャンチェーンに分割入力した上で、複数のスキャンチェーンの出力をパラレルシリアル変換し1本出力端子に出力することにより、スキャンチェーンの本数を入出力端子の本数のn倍にする。

【選択図】 図1

- 1 順序回路
- 2 スキャンチェーン
- 3 入力端子
- 4 出力端子
- 5 フリップフロップ
- 6 フリップフロップ (PLL)
- 7 シリアルパラレル変換器
- 8 パラレルシリアル変換器
- 9 スキャン用フリップフロップ



【特許請求の範囲】

【請求項 1】

1つの入力端子を介して入力されたクロック信号をパラレル信号に変換するシリアルパラレル変換回路と、複数のスキャンパルを有し、前記シリアルパラレル変換回路から出力される信号が入力される順序回路と、前記順序回路から出力されるパラレル信号をシリアル信号に変換するパラレルシリアル変換回路と、これら回路間のデータのやり取りを制御するクロックを生成するPLL回路とを備えたスキャンテスト可能な半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体製品のスキャンテスト回路に関するものである。

【0002】

【従来の技術】

近年LSIの高集積化が進むにつれて、LSI内部の回路規模も非常に大きくなってきており、それを検査するためのテスト回路としてスキャンテストが一般的に用いられている。しかし、回路規模が増大するとスキャンチェーンの長さを長くするとかスキャンテスト用の端子を増加させスキャンテストチェーンの本数を増やすことにより増大する回路の検査を行ってきている。

【0003】

従来技術の実施例を図2に示す。図2において、15はLSI内部の検査対象の順序回路、10は順序回路15内にある1本のスキャンチェーン11でつながれた回路である。12はスキャンデータ入力用の入力端子である。13はスキャンデータの出力端子である。14はスキャンテスト用のクロック入力端子である。14のクロック端子に入力されるクロックに同期して12の入力端子に各スキャンチェーンに対するスキャンデータが入力され、このデータがスキャンチェーンを通り13の出力端子より出力され、出力データを比較検査することで順序回路15の試験を行う。

【0004】

【発明が解決しようとする課題】

従来技術において検査時間を短縮するには、

(1) スキャンチェーン自体の動作可能周波数を改善させ、検査する周波数を高速化して検査時間の短縮を図るか、

(2) スキャン用の入出力端子を増やしスキャンチェーンの本数を増やすことでスキャンチェーンにつながるフィリップフロップの数を減らし、検査時間の短縮を図っていた。

【0005】

しかし、これらの方法では特に大規模LSIの場合、

(A) LSIのレイアウト設計時にスキャンチェーンに対する動作周波数を改善し高速で検査出来るようにするためのレイアウトや回路変更などの対策に膨大な時間がかかるとか、

(B) スキャンチェーン用に必要なテスト端子が増え少数端子のLSIではスキャンチェーンの本数に限界があり検査時間の短縮が困難などの問題があった。

【0006】

【課題を解決するための手段】

本発明においては、スキャン用入出力端子に高速動作可能な端子を用い、1本の入力端子から複数のスキャンチェーンへ入力情報をシリアル入力し、LSI内部の回路で各スキャンチェーンに分割入力した上で、複数のスキャンチェーンの出力をパラレルシリアル変換し1本の出力端子に出力することにより、スキャンチェーンの本数を入出力端子の本数のn倍にする。

【0007】

この構成により、LSIの外部からスキャンチェーンに入力及び出力する端子をスキャンチェーンの本数の1/nにすることが出来る。

10

20

30

40

50

【0008】

また、スキャンテストに使用する入出力端子を増加させないでスキャンチェーンの本数を容易に増加させられることから各スキャンチェーンのフリップフロップ数を削減しスキャンチェーンの長さを短くすることで検査時間を短縮出来る。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

【0010】

図1は、本発明の一実施の形態におけるスキャンチェーンを有する半導体装置の構成を示すブロック図である。

10

【0011】

図1において、1はLSI内部の検査対象の順序回路、9は順序回路1の内部にある1本のスキャンチェーン2でつながれた回路である。3はスキャンデータ入力用の入力端子である。4はスキャンデータ出力用の出力端子である。5はスキャンテスト用のクロック入力端子である。6はクロック入力端子5のクロック入力に同期した同一周波数のクロックを生成し、かつ、その生成されたクロックを分周したクロックを生成するPLL回路、7は入力端子3のシリアル入力されたスキャンデータをn本のパラレル信号に変換する回路、8はn本のスキャンチェーンから出力されたパラレルデータをシリアルデータに変換するパラレルシリアル変換回路である。aは半導体装置外部からクロック端子5を介して入力される入力クロック、bはPLL回路6の位相制御用クロックである。cはPLL回路6によって入力クロックaと位相の合ったクロックで、パラレルシリアル変換回路8に供給されるパラレルシリアル変換用クロックである。dはスキャンチェーン用にPLL回路6より出力される出力クロックである。

20

【0012】

位相制御用クロックbはスキャン用フリップフロップ9に入力されるクロックであり、入力クロックaと位相を一致させるようにPLL回路6が作動する。ただし、出力クロックdと位相制御用クロックbは配線と各スキャン用フリップフロップ9に入力される各クロックの位相をそろえるためのクロックツリー用クロックバッファによってつながれているため、クロックの位相は相互にずれている。eはPLL回路6によって生成され、シリアルパラレル変換器7へ入力されるクロックシリアルパラレル変換用クロックで、入力クロックaと位相が合っている。

30

【0013】

fは入力端子3から入力されたスキャンデータ、gはパラレル-シリアル変換器8より出力端子4を介して出力されるスキャン出力データ、h-1からh-nは各スキャンチェーン2に入力されるスキャンデータ、i-1からi-nは2-1から2-nの各スキャンチェーンから出力されるスキャン出力信号である。

【0014】

クロック端子5に入力された入力クロックaに同期して入力端子3にはn本分のスキャンチェーンに分配されるシリアルデータfが入力される。また、PLL回路6はスキャンチェーン2に含まれるスキャン用フリップフロップ9に入力される位相制御用クロックbのクロックエッジがクロック端子5から入力された入力クロックaのエッジと位相を同じくするように位相制御した同一周波数のクロックであるシリアルパラレル変換用クロックeを生成する。このシリアルパラレル変換用クロックeをシリアルパラレル変換器7に用いることにより入力端子3から入力したデータfはシリアルパラレル変換器7で容易にデータラッチが可能となる。シリアルパラレル変換器7においてラッチされたシリアルデータfはパラレルデータh-1からh-nに変換される。次にこのスキャンデータh-1からh-nは2の各スキャンチェーン2-1から2-nに入力される。スキャンチェーン2ではPLL回路6にて生成されたクロックd（入力クロックaのn分の1に分周されている）が入力され、このクロックdがクロックツリー用バッファを通過しクロックbとして各スキャン用フリップフロップのクロック端子に入力される。このクロックbとクロックa

40

50

の位相が一致するようにPLL回路6にて制御することにより、各スキャン用フリップフロップ9にてデータのラッチが容易に行えるようにする。その後、各スキャンチェーン2から出力されたデータ $i-1$ から $i-n$ はパラレルシリアル変換器8でシリアルデータ g に変換される。パラレルシリアル変換器8でもPLL回路6で生成したスキャン用フリップフロップのクロックと位相を合わせたクロック c を用いることにより、スキャンデータを容易にラッチすることができる。パラレルシリアル変換器8においてシリアルデータ化されたスキャン出力データ g は出力端子4より出力される。これにより1本のスキャン用入力端子から n 本のスキャンチェーンへのデータ入力と n 本のスキャンチェーンからのデータを1本の出力端子にスキャン出力を出力することを可能とする。この説明ではシリアル入力及びシリアル出力がそれぞれ1本の時を説明したが、シリアル入力3を複数本、またシリアル出力4を複数本にすることによりスキャンチェーンの本数を増やすことで各スキャンチェーンのフリップフロップの個数を少なくすることが出来、検査時間をさらに短縮することが可能である。

10

【0015】

また、シリアル入力端子とシリアル出力端子の本数は同一である必要はなく、検査をするテストの能力に合わせてシリアル出力端子数を増やすことで比較器の動作周波数能力が低いテストでも検査可能な構成を作ることが可能である。

【0016】

【発明の効果】

本発明の構成により、少ない入出力端子で高速にスキャン検査を実行することが出来る。また、本発明の方式ではレイアウト設計時にスキャンチェーンに対するスキャンテスト時の動作周波数改善の対策にかかる時間を抑えることができる。

20

【図面の簡単な説明】

【図1】本発明の一実施の形態における半導体装置の構成を示すブロック図

【図2】従来例の半導体装置の構成を示すブロック図

【符号の説明】

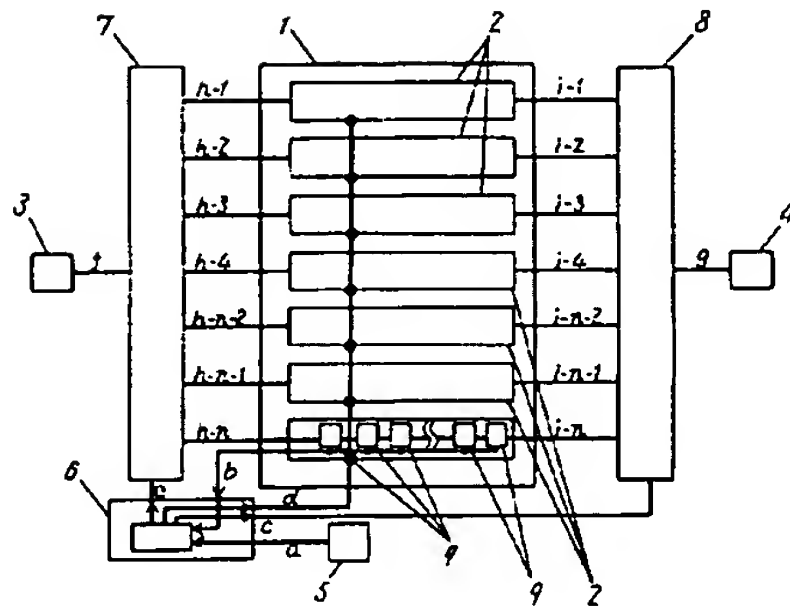
- 1 順序回路
- 2 スキャンチェーン
- 3 入力端子
- 4 出力端子
- 5 クロック端子
- 6 クロック通倍器 (PLL)
- 7 シリアルパラレル変換器
- 8 パラレルシリアル変換器
- 9 スキャン用フリップフロップ
- 10 スキャン用フリップフロップ
- 11 スキャンチェーン
- 12 入力端子
- 13 出力端子
- 14 クロック端子
- 15 順序回路

30

40

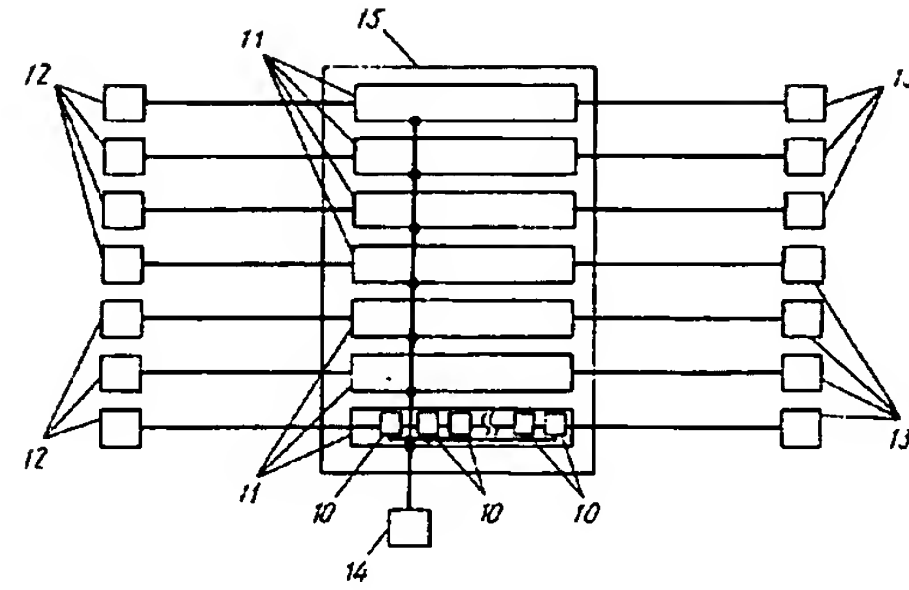
【図 1】

- 1 順序回路
- 2 スキャンチェーン
- 3 入力端子
- 4 出力端子
- 5 クロック端子
- 6 フロック倍倍器(PLL)
- 7 シリアルパラレル変換器
- 8 パラレルシリアル変換器
- 9 スキャン用フリップフロップ



【図 2】

- 10 スキャン用フリップフロップ
- 11 スキャンチェーン
- 12 入力端子
- 13 出力端子
- 14 フロック端子
- 15 順序回路



SEMICONDUCTOR DEVICE

[Claim(s)]

[Claim 1]

The semiconductor device equipped with the serial parallel conversion circuit which changes into a parallel signal the clock signal inputted through one input terminal, the sequential circuit where the signal which has two or more scanning PALs and is outputted from said serial parallel conversion circuit is inputted, the parallel serial conversion circuit which change into a serial signal the parallel signal outputted from said sequential circuit, and the PLL circuit which generate the clock which controls an exchange of the data between these circuits in which a scanning test is possible.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the scanning test circuit of a semi-conductor product.

[0002]

[Description of the Prior Art]

The circuit magnitude inside LSI is also becoming very large, and, generally the scanning test is used as a test circuit for inspecting it as high integration of LSI progresses in recent years. However, buildup of circuit magnitude has been inspecting the circuit which increases by lengthening the die length of a scanning chain, or making the terminal for a scanning test increase, and increasing the number of a scanning test chain.

[0003]

The example of the conventional technique is shown in drawing 2. Setting to drawing 2, the sequential circuit of the subject of examination [15] inside LSI and 10 are the circuits connected with one scanning chain 11 in a sequential circuit 15. 12 is an input terminal for scanning data inputs. 13 is the output terminal of scanning data. 14 is a clock input terminal for a scanning test. Synchronizing with the clock inputted into the clock terminal of 14, the scanning data to each scanning chain are inputted into the input terminal of 12, this data is outputted from the output terminal of 13 through a scanning chain, and a sequential circuit 15 is examined by carrying out the compare check of the output data.

[0004]

[Problem(s) to be Solved by the Invention]

For shortening inspection time amount in a Prior art,

(1) Or [making the frequency of the scanning chain itself which can be operated improve accelerating the frequency to inspect, and aiming at compaction of inspection time amount],

(2) The number of Philip FUROPPU connected with a scanning chain in the increase of an input/output terminal or carrying out and increasing the number of a scanning chain for a scan was reduced, and compaction of inspection time amount was in drawing.

[0005]

However, in the case of large-scale LSI, it is especially with these approaches,

(A) Or [cures, such as a layout, circuit modification, etc. for improving the clock frequency to a scanning chain and enabling it to inspect at high speed at the time of the layout design of LSI, take huge time amount]

(B) Test terminals required for scanning chains increased in number, by LSI of a a small number of terminal, the limitation was in the number of a scanning chain and there was which problem with difficult compaction of inspection time amount.

[0006]

[Means for Solving the Problem]

In this invention, the number of a scanning chain is increased n times of the number of an input/output terminal by carrying out parallel serial conversion of the output of two or more scanning chains, and outputting to one output terminal, after carrying out the serial input of the input to the input/output terminal for a scan from one input terminal to two or more scanning chains using the terminal in which high-speed operation is possible and carrying out a division input in the circuit inside LSI at each scanning chain.

[0007]

By this configuration, the terminal inputted and outputted to a scanning chain from the exterior of LSI can be set to $1/n$ of the number of a scanning chain.

[0008]

Moreover, since the number of a scanning chain is easily increased without making the input/output terminal used for a scanning test increase, inspection time amount can be shortened by reducing the number of flip-flops of each scanning chain, and shortening the die length of a scanning chain.

[0009]

[Embodiment of the Invention]

Hereafter, the gestalt of operation of this invention is explained.

[0010]

Drawing 1 is the block diagram showing the configuration of the semiconductor device

which has a scanning chain in the gestalt of 1 operation of this invention.

[0011]

Setting to drawing 1, the sequential circuit of the subject of examination [1] inside LSI and 9 are the circuits connected with one scanning chain 2 in the interior of a sequential circuit 1. 3 is an input terminal for scanning data inputs. 4 is an output terminal for scanning data output. 5 is a clock input terminal for a scanning test. The PLL circuit which generates the clock which 6 generated the clock of the same frequency which synchronized with the clocked into of the clock input terminal 5, and carried out dividing of the generated clock, the circuit where 7 changes into n parallel signals the scanning data with which the serial input of the input terminal 3 was carried out, and 8 are parallel serial conversion circuits which change into serial data the parallel data outputted from n scanning chains. The input clock and b into which a is inputted through the clock terminal 5 from the semiconductor device exterior are the clock for phase control of the PLL circuit 6. c is a clock for parallel serial conversions which is a clock input-clock a and whose phase suited, and is supplied to the parallel serial conversion circuit 8 by the PLL circuit 6. d is an output clock outputted from the PLL circuit 6 to scanning chains.

[0012]

The clock b for phase control is a clock inputted into the flip-flop 9 for a scan, and the PLL circuit 6 operates so that input-clock a and a phase may be made in agreement. However, since the output clock d and the clock b for phase control are tied by the clock buffer for clock trees for arranging the phase of each clock inputted into wiring and each flip-flop 9 for a scan, the phase of a clock has shifted mutually. e is generated by the PLL circuit 6, it is the clock for clock serial parallel conversion inputted into the serial parallel converter 7, and input-clock a and its phase suit.

[0013]

i-1 to the scanning data into which f was inputted from the input terminal 3, the scanning output data with which g is outputted through an output terminal 4 from the parallel serial conversion machine 8, the scanning data by which h-1 to h-n is inputted into each scanning chain 2, and i-n are scanning output signals outputted from each scanning chain of 2-1 to 2-n.

[0014]

Synchronizing with input-clock a inputted into the clock terminal 5, the serial data f distributed to the scanning chain of n duty is inputted into an input terminal 3. Moreover, the PLL circuit 6 generates the clock e for serial parallel conversion which is a clock of the same frequency which carried out phase control so that the edge and

phase of input-clock a as which the clock edge of the clock b for phase control inputted into the flip-flop 9 for a scan contained in the scanning chain 2 was inputted from the clock terminal 5 might be made the same. The data latch of the data f inputted from the input terminal 3 is easily attained by the serial parallel transducer 7 by using this clock e for serial parallel conversion for the serial parallel transducer 7. The serial data f latched in the serial parallel transducer 7 is changed into $h \cdot n$ from parallel data $h \cdot 1$. Next, $h \cdot n$ is inputted into $2 \cdot n$ from each scanning chain 2-1 of 2 from this scanning data $h \cdot 1$. With the scanning chain 2, the clock d (dividing is carried out to $1/n$ of input-clock a) generated in the PLL circuit 6 is inputted, and this clock d passes the buffer for clock trees, and is inputted into the clock terminal of each flip-flop for a scan as a clock b. The latch of data enables it for each flip-flop 9 for a scan to perform easily by controlling by the PLL circuit 6 so that the phase of this clock b and Clock a is in agreement. Then, $i \cdot n$ is changed into serial data g from the data $i \cdot 1$ outputted from each scanning chain 2 with the parallel serial conversion vessel 8. By using the clock of the flip-flop for a scan generated also with the parallel serial conversion vessel 8 in the PLL circuit 6, and the clock c with which the phase was doubled, scanning data can be latched easily. Scanning output-data g serial-data-ized in the parallel serial conversion machine 8 is outputted from an output terminal 4. This is enabled to output a scanning output for the data from the data input from one input terminal for a scan to n scanning chains, and n scanning chains to one output terminal. Although this explanation explained the time of the number of a serial input and serial outputs being one, respectively, by making a serial input 3 into two or more, and making a serial output 4 into two or more, the number of the flip-flop of each scanning chain can be lessened by increasing the number of a scanning chain, and it is possible to shorten inspection time amount further.

[0015]

Moreover, the number of a serial input terminal and a serial output terminal does not need to be the same, and the clock frequency capacity of a comparator is able to make the configuration which can also inspect a low circuit tester from increasing the number of serial output terminals according to the capacity of the circuit tester which inspects.

[0016]

[Effect of the Invention]

By the configuration of this invention, scanning inspection can be performed at a high speed by few input/output terminals. Moreover, by the method of this invention, the time amount which the cure of the clock frequency improvement at the time of the scanning test to a scanning chain takes at the time of a layout design can be suppressed.

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the semiconductor device in the gestalt of 1 operation of this invention

[Drawing 2] The block diagram showing the configuration of the semiconductor device of the conventional example

[Description of Notations]

- 1 Sequential Circuit
- 2 Scanning Chain
- 3 Input Terminal
- 4 Output Terminal
- 5 Clock Terminal
- 6 Clock Multiplier (PLL)
- 7 Serial Parallel Converter
- 8 Parallel Serial Conversion Machine
- 9 Flip-flop for Scan
- 10 Flip-flop for Scan
- 11 Scanning Chain
- 12 Input Terminal
- 13 Output Terminal
- 14 Clock Terminal
- 15 Sequential Circuit

[Translation done.]